

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Tomoyoshi KUSHIDA

Application No.: NEW U.S. NON-PROVISIONAL APPLICATION

Filed: November 8, 1999

Docket No.: 104361

For: SEMICONDUCTOR DEVICE

3/P. Papers
Lewis
12/21/99

1c490 U.S. PRO
09/435766

11/08/99

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. HEI 10-319481 filed November 10, 1998

Japanese Patent Application No. HEI 11-006395 filed January 13, 1999

Japanese Patent Application No. HEI 11-046607 filed February 24, 1999

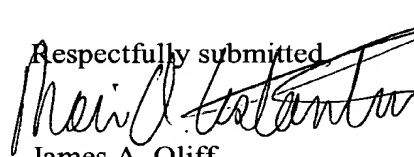
In support of this claim, certified copies of said original foreign applications:

 X are filed herewith.

 were filed on in Parent Application No. filed .

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,



James A. Oliff

Registration No. 27,075

Mario A. Costantino

Registration No. 33,565

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;

Charge any fee due to our
Deposit Account No. 15-0461

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年11月10日

出 願 番 号

Application Number:

平成10年特許願第319481号

出 願 人

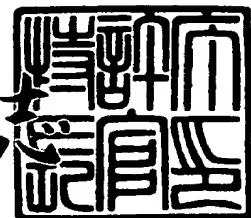
Applicant (s):

トヨタ自動車株式会社

1999年 8月23日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3059024

【書類名】 特許願

【整理番号】 TY1-3947

【提出日】 平成10年11月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置

【請求項の数】 3

【発明者】

 【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社
 内

 【氏名】 櫛田 知義

【特許出願人】

 【識別番号】 000003207

 【氏名又は名称】 トヨタ自動車株式会社

 【代表者】 和田 明広

【代理人】

 【識別番号】 100075258

 【弁理士】

 【氏名又は名称】 吉田 研二

 【電話番号】 0422-21-2340

【選任した代理人】

 【識別番号】 100081503

 【弁理士】

 【氏名又は名称】 金山 敏彦

 【電話番号】 0422-21-2340

【選任した代理人】

 【識別番号】 100096976

 【弁理士】

 【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 008268

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 トレンチゲート間にボディ領域及びソース領域を備えた半導体装置において、

トレンチゲート側部から上部にわたって前記ボディ領域またはソース領域を延長した延長領域を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の装置において、

前記トレンチゲート上部に形成されたゲート絶縁膜の厚さが前記トレンチゲート側部に形成されたゲート絶縁膜の厚さ以上であることを特徴とする半導体装置。

【請求項 3】 請求項 1、2 のいずれかに記載の装置において、

前記半導体装置の上部に、前記延長領域に電極を接続するための開口部を有する絶縁膜を有し、

前記トレンチゲートのゲート間隔が前記開口部の幅以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、特にトレンチゲート型半導体装置の構造に関する。

【0002】

【従来の技術】

従来より、トレンチゲート型の半導体が知られている。

【0003】

図 3 には、従来のトレンチゲート型 IGBT (Insulated Gate Bipolar Transistor) の断面図 (a) 及び平面図 (b) が示されている。なお、(b) の平面図は説明の都合上、上部のソース電極及び絶縁膜を取り去った状態を示している。

【0004】

図において、ドレイン電極 10 の上部に p+基板 12 が設けられ、p+基板 12 の上部に nドリフト領域 14 が設けられる。nドリフト領域 14 の上部にはチャネルが形成される p ボディ領域 20 が設けられ、p ボディ領域 20 を挟むようにトレンチ内にゲート電極 18 が形成される。ゲート電極 18 はゲート酸化膜 16 で絶縁されている。また、p ボディ領域 14 の一部に n+ソース領域 22 が設けられ、上部の絶縁膜 24 にはこの n+ソース領域 22 に電圧を印加するためのコンタクト開口部が形成されている。コンタクト開口部の開口幅は d1 である。

【0005】

ここで、(b) の平面図に示すように、n+ソース領域 22 のみならず p ボディ領域 20 も素子の表面まで延在させているが、これは両領域にまたがる金属層を被着することによりソースとボディを短絡させ、素子の動作中に寄生バイポーラトランジスタがオンするのを防ぐためである。

【0006】

なお、特開平 9-102606 号公報にも、上述した半導体素子に類似したトレンチ型 MOSFET が記載されている。

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来の半導体装置では、p ボディ領域内の n+ソース領域に確実にコンタクトするために開口幅 d1 をゲート間隔 d2 より小さくしなければならず（開口幅 d1 を大きくすると、ゲート電極 18 の上部まで達してしまい動作不能となる）、逆に言えばゲート間隔 d2 を開口幅 d1 以下に設定することができないため、トランジスタのセル幅 d3 も増大し、トランジスタ密度を向上させることが困難となる問題があった。

【0008】

本発明は、上記従来技術の有する課題に鑑みなされたものであり、その目的は、ゲート間隔を縮小でき、これにより素子セル幅も縮小して素子密度を向上させることができる装置を提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するために、第1の発明は、トレンチゲート間にボディ領域及びソース領域を備えた半導体装置において、トレンチゲート側部から上部にわたって前記ボディ領域またはソース領域を延長した延長領域を有することを特徴とする。トレンチゲート側部から上部にわたる延長領域を形成することで、ゲート間隔によらず確実にコンタクトをとることができるようになり、ゲート間隔を従来以上に縮小することができる。

【0010】

また、第2の発明は、第1の発明において、前記トレンチゲート上部に形成されたゲート絶縁膜の厚さが前記トレンチゲート側部に形成されたゲート絶縁膜の厚さ以上であることを特徴とする。ゲート絶縁膜の上部を厚くすることで、ソース領域を延長した延長領域を介してソース電圧が印加される際にもゲート電極の絶縁性を維持することができ、半導体装置を確実に動作させることができる。

【0011】

また、第3の発明は、第1、第2の発明において、前記半導体装置の上部に、前記延長領域に電極を接続するための開口部を有する絶縁膜を有し、前記トレンチゲートのゲート間隔が前記開口部の幅以下であることを特徴とする。ゲート間隔を開口部の幅以下とすることで、半導体素子幅も縮小でき、素子密度を向上させることができる。

【0012】

【発明の実施の形態】

以下、図面に基づき本発明の実施形態について説明する。

【0013】

図1には、本実施形態におけるトレンチゲート型IGBTの断面図(a)及び平面図(b)が示されている。なお、図3に示される従来技術と同一もしくは対応する部材には同一符号が付されている。また、(b)の平面図は説明の都合上、ソース電極を取り去った状態を示している。

【0014】

図において、ドレイン電極10の上部にp+基板12を設け、さらにn+ドリフト領域14を設ける。そして、n+ドリフト領域14の上部にpボディ領域20を形成し、このpボディ領域20を挟むようにトレンチ内にゲート電極18を形成する。ゲート電極18は従来と同様にゲート酸化膜（ゲート絶縁膜）16で絶縁されているが、ゲート電極18の側部に形成されたゲート酸化膜16の厚さとゲート電極18の上部に形成されたゲート酸化膜16の厚さとを比較すると、図に示されるように（上部の厚さ） \geq （側部の厚さ）となっている。また、pボディ領域20の上部にn+ソース領域22が設けられ、このn+ソース領域22の上部に、ゲート電極18の側部から上部にわたる断面形状T字型のn+延長領域100が形成される。このn+延長領域100とゲート電極18とは、上記のゲート酸化膜16で互いに絶縁されており、特にゲート電極18の上部とn+延長領域100とは厚いゲート酸化膜16で互いに絶縁されている。なお、n+延長領域100は、n+ソース領域22が形成されている箇所のみ形成され、n+ソース領域22が形成されていない箇所のpボディ領域20上には（b）に示すようにp+延長領域102（このp+延長領域102も断面形状T字型である）が形成される。したがって、（b）の平面図に示すように、n+延長領域100（n+ソース領域22に接続されている）とp+延長領域102（pボディ領域20に接続されている）は交互に配列することになる。p+延長領域102の機能は、表面まで延在させた従来のpボディ領域20と同様にソースとボディを短絡させて寄生トランジスタのオン動作を防止するためである。そして、n+延長領域100の上部にはn+延長領域100を介してn+ソース領域22に電圧を印加するためのコンタクト開口部を有する絶縁膜26が設けられる。コンタクト開口部の開口幅はc1である。なお、ソース領域及びボディ領域の配置は上記実施形態に限定されるものではなく、図3（b）に示すような従来の装置、すなわちゲート電極側にn+ソース領域、ゲート間中央部にp+ボディ領域を配置する等、n+領域、p+領域に分けた多様な配置を選択可能である。

【0015】

本実施形態のトレンチ型IGBTはこのような構成であり、動作時には従来と

同様に電流がトレンチの側部に隣接するチャンネルに沿って垂直に流れることになるが、断面形状 T 字型の $n+$ 延長領域 100 を $n+$ ソース領域 22 上に積層し（実質的には $n+$ ソース領域を断面形状 T 字型に延在させたことと等価）、かつ、 $n+$ 延長領域 100 とゲート電極 18 との間にはゲート酸化膜 16 が介在しているため、ゲート間隔 c_2 以上に開口幅 c_1 を増大させることができ、逆に言えば、ゲート間隔 c_2 を開口幅 c_1 以下に設定することが可能となる。

【0016】

したがって、従来においては、ゲート間隔 d_2 はコンタクトの開口幅 d_1 にコンタクトのアライメント余裕を足した値となり、コンタクトの開口幅 d_1 を製造条件から規定される最小幅に設定できたとしてもゲート間隔 d_2 はそれより大きくなってしまう（ $d_2 > d_1$ ）が、本実施形態ではゲート間隔 c_2 をコンタクトの開口幅 c_1 以下に設定でき（ $c_2 \leq c_1$ ）、ゲート間隔 c_2 自体を製造条件から規定される最小幅に設定することも可能となる。結果として、本実施形態ではトランジスタのセル幅 c_3 も従来以上に縮小することが可能となり、トランジスタ密度を向上させてオン電圧を低減することができる。

【0017】

なお、本実施形態のトレンチ型 IGBT では、 $n+$ 延長領域 100 上にコンタクト（ソースコンタクト）開口を形成するため従来以上にコンタクト面積を大きくとれるので、コンタクト抵抗を大幅に低減することも可能である。

【0018】

また、 $n+$ 延長領域 100 の抵抗を調整する（具体的には、 $n+$ 延長領域 100 の材料又は不純物濃度を適宜選択すればよい）ことで、適切なソース抵抗を形成することができるので、ソース電圧によるソース電流へのフィードバックによりトランジスタセル間の電流バランスを自動調整することも可能となる。すなわち、あるトランジスタのソース電流が大きくなると、適宜調整したソース抵抗によりソース電圧が上昇し、ゲート・ソース間電圧が低下するためソース電流が減少するという負のフィードバックが作用し、そのトランジスタの電流値を自動調整できる。

【0019】

さらに、本実施形態では、ゲート間隔 c_2 を開口幅 c_1 以下に設定しているが、ゲート間隔 c_2 を開口幅 c_1 より小さく($c_2 < c_1$)設定する方が素子密度向上の観点から一層好ましいことは言うまでもない。

【0020】

図2には、図1に示された半導体装置の製造方法が示されている。まず、 $p+$ 基板12上に n ドリフト領域14をエピタキシャル成長させる。その後、 p ボディ領域20(例えば $4\mu m$)と $n+$ ソース領域22(例えば $1\mu m$)をイオン注入と拡散によって順次形成する(a)。次に、表面を熱酸化させて酸化膜23(例えば $50nm$)を形成し、さらにCVD法により窒化膜25(例えば $200nm$)及び酸化膜27(例えば $200nm$)を形成する(b)。次に、フォトリソグラフィ工程を用いてレジストマスクを作成し、このレジストマスクを用いて酸化膜27、窒化膜25及び酸化膜23を順次ドライエッチングする。レジストマスクを除去した後、酸化膜27、窒化膜25、酸化膜23をマスクとして用いて n ドリフト領域14をドライエッチングし、トレンチ構造を形成する(c)。

【0021】

トレンチ構造を形成した後、トレンチの側壁を熱酸化し(例えば $50nm$)、ふっ酸にて除去する。さらにトレンチ側壁をケミカルドライエッチングにてエッチング(例えば $50nm$)する。その後、熱酸化によりゲート酸化膜16(例えば $100nm$)を形成し、多結晶シリコンでトレンチを埋めて窒化膜25のところまで全面エッチバックし、ゲート電極18を形成する(d)。次に、表面の酸化膜27をドライエッチングで除去する。このとき、ゲート酸化膜16は窒化膜25とゲート電極18に覆われているのでエッチングされることはない。その後、熱酸化にてゲート電極18の表面(上部)を酸化して上部のゲート酸化膜16(例えば $400nm$)を形成する(e)。既述したように、この上部のゲート酸化膜16の膜厚は、側部のゲート酸化膜16よりも厚く形成される。これは、窒化膜25の存在により可能となる(窒化膜25の下部は酸化されない)。そして、ドライエッチングにより窒化膜25及び酸化膜23を除去する(f)。

【0022】

次に、CVD法よりアモルファスシリコン101を積層する(g)。このアモルファスシリコン101は、n+延長領域100あるいはp+延長領域102となるものであり、積層した後に550度の熱処理にて固相エピタキシャル成長させて単結晶化させてもよい。すなわち、n+延長領域100あるいはp+延長領域は、アモルファスでも単結晶でもよい。また、n+延長領域100あるいはp+延長領域102は多結晶半導体で構成することも可能であり、すなわち、半導体であれば結晶性は問わない。アモルファスシリコン101を積層した後、イオン注入、熱拡散を用いてn+延長領域100（及びp+延長領域102）を形成する(h)。n+延長領域100については、例えばリンを拡散させればよい。そして、CVD法を用いて表面に酸化膜（絶縁膜）24を形成し、フォトリソグラフィ、ドライエッチング法を用いてゲート間隔c2以上のコンタクト開口c1を形成する(i)。

【0023】

最後に、スパッタリングを用いて素子表面（上部）にソース電極(A1)26を形成してフォトリソグラフィ及びエッチングにより所望の形状とし、同様にスパッタリングを用いてドレイン電極10(Ti/Ni/Au)を形成する(j)。

【0024】

以上、本実施形態についてIGBTを例にとり説明したが、本発明はこれに限定されることはなく、例えばMOSFETやサイリスタ、SIT等にも適用することができる。なお、金属電極材料は上記に限定されるものではなく、W、Mo等を含め、金属の単層、多層膜なら何でもよい。

【0025】

【発明の効果】

以上説明したように、本発明によればゲート間隔を従来以上に縮小でき、これにより素子セル幅も縮小して素子密度を向上させることができる。

【図面の簡単な説明】

【図1】 本発明の実施形態の断面図及び平面図である。

【図 2】 本発明の実施形態に係る半導体装置の製造方法を示す説明図である。

【図 3】 従来の半導体装置の断面図及び平面図である。

【符号の説明】

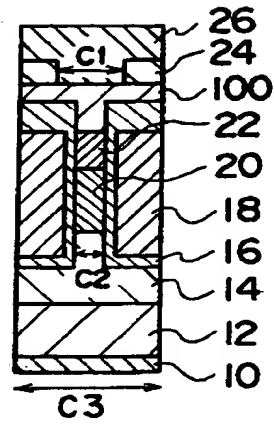
10 ドレイン電極、12 p+基板、14 nドリフト領域、16 ゲート酸化膜（ゲート絶縁膜）、18 ゲート電極、20 pボディ領域、22 n+ソース領域、100 n+延長領域、102 p+延長領域、24 絶縁膜、26 ソース電極。

【書類名】

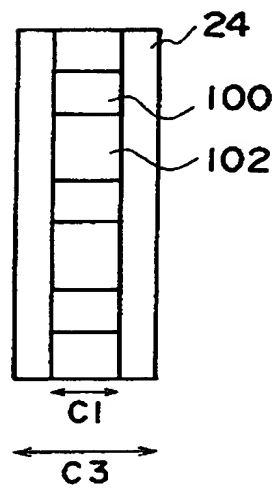
図面

【図 1】

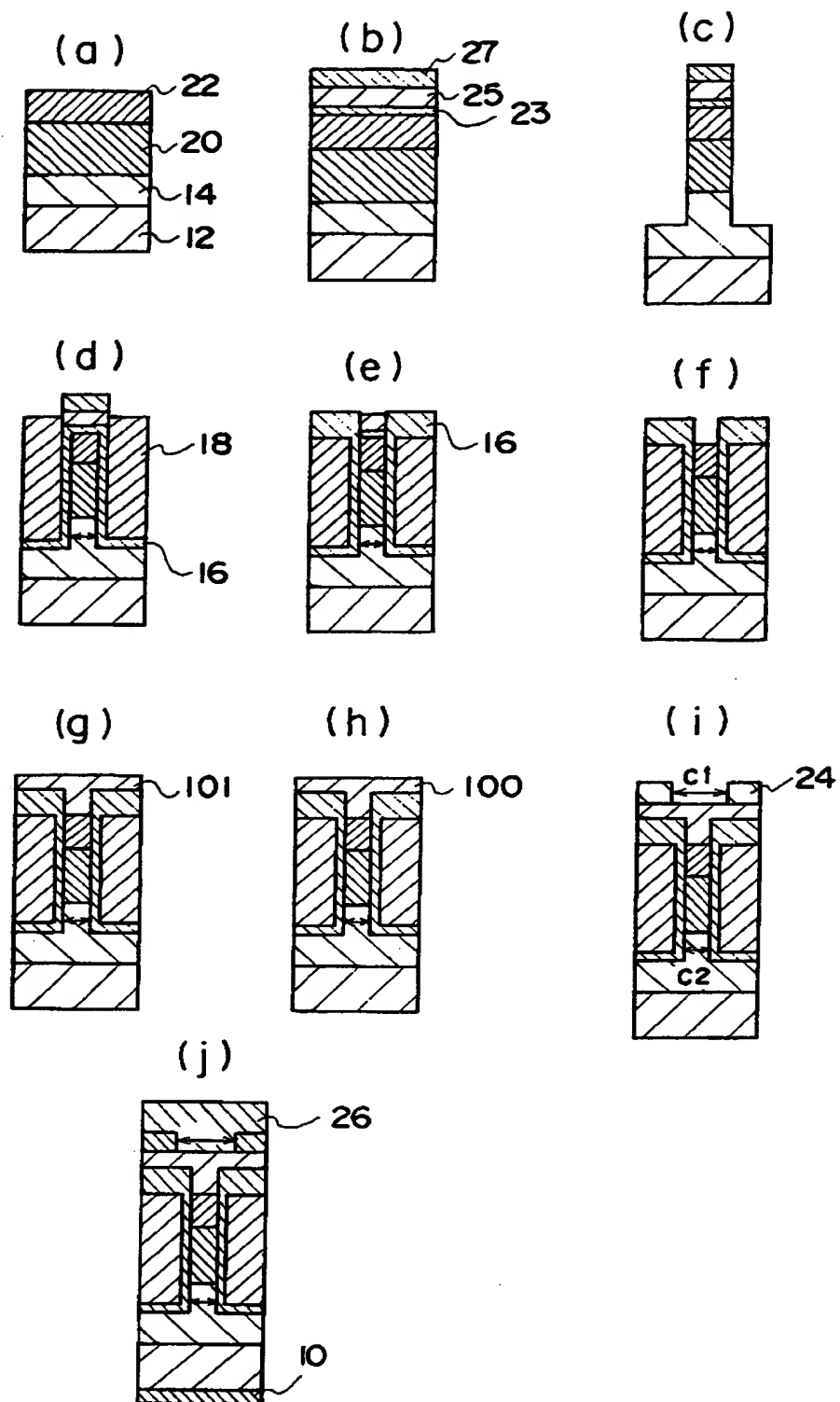
(a)



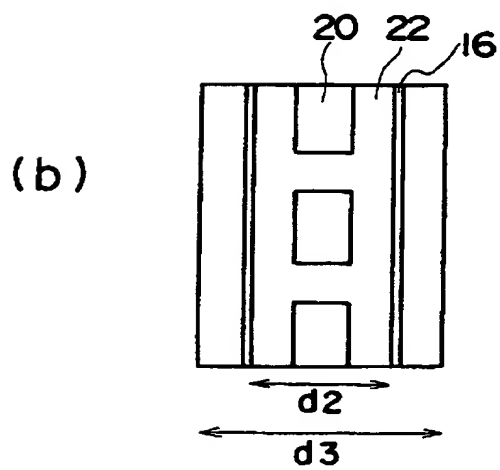
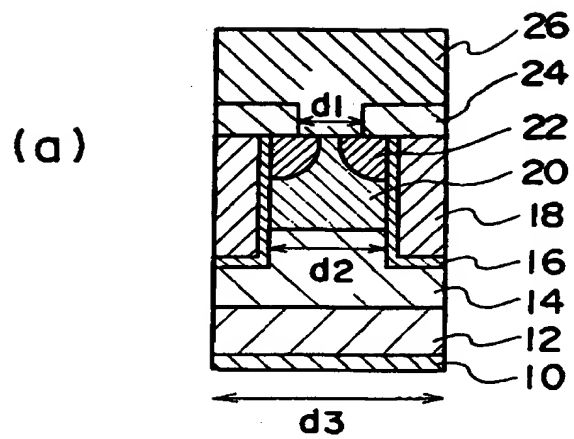
(b)



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 トレンチゲート型半導体において、ゲート間隔を縮小して素子密度を向上させる。

【解決手段】 p+基板 12 上に順次、n ドリフト領域 14、p ボディ領域 20、n+ソース領域 22、n+延長領域 100、絶縁膜 24、ソース電極 26 を形成する。ゲート電極 18 はトレンチ内に形成され、ゲート酸化膜 16 で絶縁する。ゲート酸化膜 16 の上部は側部より厚くし、ソース電圧印加時にも絶縁状態を維持する。n+延長領域 100 を形成してソースコンタクトとし、ゲート間隔 c_2 をコンタクト開口幅 c_1 以下とする。これにより、素子幅 c_3 も縮小して素子密度が向上する。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000003207
【住所又は居所】 愛知県豊田市トヨタ町1番地
【氏名又は名称】 トヨタ自動車株式会社
【代理人】 申請人
【識別番号】 100075258
【住所又は居所】 東京都武蔵野市吉祥寺本町1丁目34番12号 吉
田金山石田国際特許事務所
【氏名又は名称】 吉田 研二
【選任した代理人】
【識別番号】 100081503
【住所又は居所】 東京都武蔵野市吉祥寺本町1丁目34番12号 吉
田金山石田国際特許事務所
【氏名又は名称】 金山 敏彦
【選任した代理人】
【識別番号】 100096976
【住所又は居所】 東京都武蔵野市吉祥寺本町1丁目34番12号 吉
田金山石田国際特許事務所
【氏名又は名称】 石田 純

出 願 人 履 歴 情 報

識別番号 [000003207]

1. 変更年月日 1990年 8月27日
[変更理由] 新規登録
住 所 愛知県豊田市トヨタ町1番地
氏 名 トヨタ自動車株式会社